

非对称超结场效应晶体管设计和仿真

张广银¹, 沈千行², 喻巧群¹, 卢烁今¹, 朱阳军²

(1 中国科学院 微电子研究所, 北京 100029; 2. 江苏物联网研究发展中心, 江苏 无锡 214135)

摘 要: 为了克服传统功率 MOSFET 通态电阻和击穿电压之间的矛盾, 引入了超级结(SJ)器件, 通过引入横向电场来提高击穿电压. 针对工艺中非对称 pillar 的设计需求, 建立了非对称的研究分析模型, 通过引入影响设计的非对称因子 k , 分析了 k 的物理意义和修正了不同 pillar 比例下的 k 值来设计相关参数, 推导出超结的设计解析表达式. 为了验证设计的准确性, 以沟槽栅 SJ-MOSFET 为器件, 进行了仿真验证和比较, 理论与仿真结果符合良好, 可以用于超结 MOSFET 的设计指导.

关键词: SJ-MOSFET; 非对称; 漂移区; 横向电场

中图分类号: TN389

文献标识码: A

文章编号: 1000-7180(2017)07-0018-05

Design and Simulation of Asymmetric SJ-MOSFET

ZHANG Guang-yin¹, SHEN Qian-xing², YU qiao-qun¹, LU Shuo-jin¹, ZHU Yang-jun²

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 Jiangsu R&D Center for Internet of Things, Wuxi 214135, China)

Abstract: In order to overcome the traditional power MOSFET contradiction between on-state resistance and breakdown voltage, the super junction (SJ) device is introduced, so that it improves the breakdown voltage through the transverse electric field. In asymmetric pillar design requirements, establishing the asymmetry analysis model, introducing asymmetric factor k , analyzing the physical meaning of k and modifying the k value for pillar in different proportions, analytical expression of super junction is derived. In order to verify the accuracy of the design, basing on trench gate SJ-MOS device, simulation verification and comparison are carried out. , theoretical and simulation results are in good agreement, the theory can be used as a guide for the design of super junction MOSFET.

Key words: SJ-MOSFET; asymmetric; drift region; transverse electric field

1 引言

功率场效应晶体管(Metal oxide semiconductor field effect transistor-MOSFET)是功率半导体器件领域中最为重要的器件之一,传统的功率 MOSFET 器件,尤其是垂直双扩散场效应晶体管(Vertical double diffusion metal oxide semiconductor-VD-MOS)器件,一般是通过增加外延层厚度和降低掺杂浓度来提高击穿电压,但是随着击穿电压的提高,外延电阻急剧增大,使得通态压降增加,导通损耗成

为 VDMOS 不可忽视的限制因素. 常规 VDMOS 器件,导通电阻和击穿电压近似 2.5 次方的关系^[1],称为“硅限”,这限制了 VDMOS 器件在高压领域的应用. 超结(super junction-SJ)理论的提出打破了通态电阻和击穿电压的极限关系,使得两者的关系得到明显的改善,两者关系近似为 1.23 次方^[2]. SJ-VD-MOS 器件不同于传统 VDMOS 器件,它的漂移区是由 N 和 P 交替的纵向柱所构成,在耐压时, N 柱(N -pillar)和 P 柱(P -pillar)的相互耗尽形成电荷补偿效应,通过引入横向电场,使得纵向电场在漂移区

收稿日期: 2016-04-20; 修回日期: 2016-05-22

基金项目: 国家重大科技专项 (2013ZX02305-005-002); 国家自然科学基金 (51490681); 省院合作高技术产业化专项资金项目 (2016SYHZ0026)

的分布尽量均匀平缓来提高击穿电压。

超结器件在近 30 年的发展历程中,国内外进行了广泛的研究。早先的 SJ-MOSFET 理论设计研究都是基于 N -pillar 和 P -pillar 对称和相同的掺杂浓度^[2-7],或者是分析电荷非平衡下^[8-9]的电场和电势分布机理对击穿电压和比导通电阻的影响等等,而电荷平衡下的非对称 SJ 设计理论鲜有报道。在实际工艺中,SJ 漂移区中的 N -pillar 和 P -pillar,在设计时虽然要求满足电荷平衡,但是并不一定要求尺寸完全一致,在非对称的尺寸要求下,对称尺寸的模型和解析表达式就不再满足要求,考虑到非对称工艺需求,本文针对非对称的 SJ-VDMOS 进行理论设计分析,通过引入影响设计的非对称因子 k ,推导出一套可以适用于非对称 pillar 的解析公式。本文在给出电荷平衡非对称尺寸的理论模型下,用深槽刻蚀和多步外延填充工艺^[10],基于计算机仿真软件 (Sentaurus TCAD) 仿真验证了理论模型,仿真结果与解析结果符合良好。

2 理论模型

如图 1 所示,用简化的超结二极管模型表示,漂移区中以 N 型和 P 型半导体交替排列。在通态时, N 型和 P 型导通,在耐压时, N 型和 P 型相互耗尽,耗尽后的电离施主和电离受主产生横向电场,从而削弱了纵向电场,同时,纵向电场的分布相对平缓,可以使得在不减小掺杂的情况下而维持较高的击穿电压。在模型中,可以不再限制 N 型宽度(W_n) 和 P 型宽度(W_p) 完全相等, N 型区掺杂浓度为 N_D , P 型区掺杂浓度为 N_A ,由于 N 和 P 是周期性的排列,所以取半个元胞的区域即虚线内部所示为代表单元,以图中 O 为原点,建立如图 1 所示的坐标系,横向为 x 轴,纵向为 y 轴,包含 4 个顶点, $A(0, w/2)$, $A'(0, -w/2)$, $B(b, w/2)$, $B'(b, -w/2)$, a 为半个 N 型区宽度, b 为半个元胞宽度。

在反偏电压 V_B 下,为了简化计算,获得电场的表达式,通过电荷平衡下的傅里叶变化, N -pillar 和 P -pillar 的统一掺杂浓度表达式表示如下^[8]:

$$N(x, y) = \frac{2(N_D + N_A)a}{\pi b} \sum_{n=1}^{\infty} \frac{1}{n} \sin \frac{n\pi a}{b} \cos \frac{n\pi x}{b} \quad (1)$$

当 $a > x > 0$ 时, $N = N_D$, 当 $b > x > a$ 时, $N = N_A$, 式(1)中掺杂浓度满足电荷平衡,即在全耗尽的情况下, N 型区电荷浓度等于 P 型区电荷浓度。二维泊松方程和边界条件为:

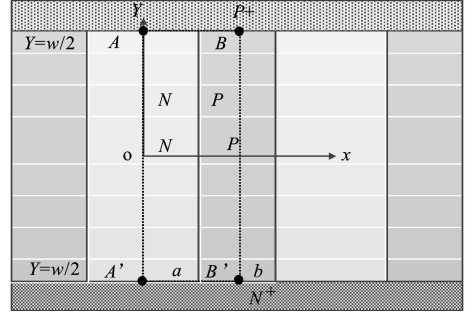


图 1 超结器件漂移区模型

$$\frac{\partial^2 \varphi}{\partial x^2} + \frac{\partial^2 \varphi}{\partial y^2} = -\frac{qN(x, y)}{\epsilon} \quad (2)$$

边界条件为, $y = w/2, \varphi = -V_B/2, y = -w/2, \varphi = V_B/2, q$ 为电子电荷量, ϵ 为硅的介电常数, 由于该泊松方程具有周期性的边界条件, 因此可以获得精确的三角级数解。由相关的边界条件和分离变量法解得电势表达式如下:

$$\varphi = \frac{q}{\epsilon} \frac{2b^2(N_D + N_A)}{\pi^3} \sum_{n=1}^{\infty} \frac{1}{n^3} \cdot \sin \frac{n\pi a}{b} \cdot \cos \frac{n\pi x}{b} \left\{ 1 - \frac{\cosh \frac{n\pi y}{b}}{\cosh \frac{n\pi w}{2b}} \right\} - \frac{y}{w} V_B \quad (3)$$

分别对 x 方向和 y 方向求导, 即 $E_x = -\frac{\partial \varphi}{\partial x}$ 和 $E_y = -\frac{\partial \varphi}{\partial y}$, 得到 x 方向和 y 方向的电场表达式为:

$$E_x = \frac{q}{\epsilon} \frac{2b(N_D + N_A)}{\pi^2} \sum_{n=1}^{\infty} \frac{1}{n^2} \sin \frac{n\pi a}{b} \cdot \sin \frac{n\pi x}{b} \left\{ 1 - \frac{\cosh \frac{n\pi y}{b}}{\cosh \frac{n\pi w}{2b}} \right\} \quad (4)$$

$$E_y = \frac{q}{\epsilon} \frac{2b(N_D + N_A)}{\pi^2} \sum_{n=1}^{\infty} \frac{1}{n^2} \cdot \sin \frac{n\pi a}{b} \cdot \cos \frac{n\pi x}{b} \left\{ \frac{\sinh \frac{n\pi y}{b}}{\cosh \frac{n\pi w}{2b}} \right\} + \frac{V_B}{w} \quad (5)$$

E_y 的表达式中可以表示为 $E_y = E_1 + E_0$, 其中 $E_0 = V_B/w$, E_1 是一个反对称的周期函数, 根据式(4)和式(5)中的表达, 在某些点处, 如, A, A', B, B', E_x 等于 0, $|E_y|$ 在这些点处取得最大值, E_{1M} 可以表示为:

$$E_{1M} = \frac{f \cdot q \cdot (N_D + N_A) \cdot w}{4\epsilon} \quad (6)$$

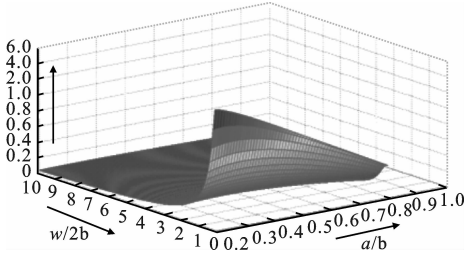
$$\text{式中, } f = \frac{8b}{\pi^2 w} \sum_{n=1}^{\infty} \frac{1}{n^2} \cdot \sin \frac{n\pi a}{b} \cdot \tanh \left(\frac{n\pi w}{2b} \right) \quad (7)$$

从表达式可以看出, f 是一个几何因子参数^[2], 是 a/b 和 b/w 的函数. 一旦 pillar 的宽度确定以后, 当 $w/2b \gg 1$ 时, f 可以拟合为一个线性函数:

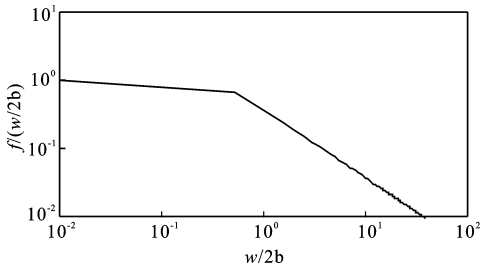
$$f = k \left(\frac{a}{b} \right) \frac{b}{w} \quad (8)$$

$$k = \frac{8}{\pi^2} \sum_{n=1}^{\infty} \frac{1}{n^2} \sin \frac{n\pi a}{b}$$

我们命名 k 为 pillar 非对称的影响因子, 不同的 pillar 宽度比例, 具有不同的 k 值, 这个 k 值对理论设计有较大的影响, 一般 k 值要小于 1, 在 pillar 对称的情况下, k 取值为 0.742, 在非对称情况下, 如果 N -pillar 相对 P -pillar 的宽度较大, 受 P 区受主电荷影响较大, k 值小于 0.742, 而宽度较小时, 受影响会相对较小, k 的取值会大于 0.742, 我们可以通过以上的解析表达式或 matlab 进行拟合计算 k 值. 图 2 中示出了 f 因子随 a/b 和 b/w 变化趋势的三维曲线图和 a/b 确定后的二维曲线图, 从图中我们也可以看出, pillar 宽度确定以后, 当 $w/2b \gg 1$ 时, f 可以拟合为一个线性的函数.



(a) 几何因子 f 随 pillar 尺寸变化的三维曲线图



(b) 几何因子 f 随 pillar 尺寸变化的二维曲线图

图 2 f 随 pillar 尺寸变化关系图

在设计时, 为了使得掺杂浓度最大化, 使得通态电阻尽可能小, 假设在刚好耗尽时即发生击穿, 即选择 A 和 B' 达到临界击穿电场, 而 A' 和 B 电场值为 0. 因此, $E_{1M} + E_0 = E_c$, $E_{1M} - E_0 = 0$. 得 $E_{1M} = \frac{E_c}{2}$, $E_0 = \frac{E_c}{2}$ 由 $E_0 = V_B/w$ 的关系式得

$$\frac{V_B}{w} = \frac{E_c}{2} \quad (9)$$

在 A, B' 处, E_x 等于 0,

$$E_{1M} = f \cdot \frac{q(N_D + N_A) \cdot w}{4\epsilon} \quad (10)$$

将 $E_{1M} = \frac{E_c}{2}$ 带入到式(10) 可以得到掺杂浓度和临界击穿电场的关系式:

$$N_D + N_A = \frac{2\epsilon E_c}{q f w} \quad (11)$$

同时要满足电荷平衡

$$N_D \cdot a = N_A(b - a) \quad (12)$$

为了便于理论计算, 在图 1 中, 沿着 AA' 电场表达式可以近似为如下形式^[11]:

$$E_1 = \frac{q(N_D + N_A)w f}{4\epsilon} \exp\left(\frac{2w^2 f}{b^2} \left(\frac{2y}{w} - 1\right)\right) \quad (13)$$

在上式中, 将式(8) 的 f 带入到式(13) 中, 得到如下

$$E_1 = \frac{q(N_D + N_A)w f}{4\epsilon} \exp\left[2k^2 \left(\frac{2y}{w} - 1\right)\right] \quad (14)$$

由式(9)、(10) 和式(14) 联立得到 y 方向的电场表达式为:

$$E = \frac{E_c}{2} \left\{ 1 + \exp\left[2k^2 \left(\frac{2y}{w} - 1\right)\right] \right\} \quad (15)$$

这个表达式满足以下三个条件:(1) 该式在点 A 处计算的最大电场值和式(5) 计算的相同;(2) 该式在 A 处的导数和式(5) 相同;(3) 该式和在经过 A 点的大部分区域和式(5) 相同. 之后根据 Fulop 积分公式^[12]:

$$\int_{-\frac{w}{2}}^{\frac{w}{2}} 1.810 \cdot 10^{-35} E^7 = 1 \quad (16)$$

解得临界电场和击穿电压的关系式为:

$$E_c = 1.235 \times 10^6 V_B^{-\frac{1}{6}} \left(1 + \frac{21.7f}{2k^2}\right)^{-\frac{1}{6}} \quad (17)$$

3 仿真和分析

基于 Sentaurus TCAD 仿真软件进行器件结构仿真和电学特性仿真, 仿真不同电压等级的非对称 pillar 的击穿特性. 雪崩电离模型, 依赖掺杂浓度的迁移率模型等被包括其中^[13], 采用的 SJ 结构是沟槽栅 SJ-VDMOS 结构, 结构宽度为半个元胞宽度 $5 \mu\text{m}$, 元胞宽度不变, 仅改变 N -pillar 和 P -pillar 的宽度, 同时按照理论推导, 会改变相应的 pillar 深度和掺杂浓度, 结构示意图如图 3 所示. 沟槽栅深度为 $2 \mu\text{m}$, 宽为 $1.5 \mu\text{m}$, 衬底厚度为 $5 \mu\text{m}$, 掺杂浓度为 $1 \times 10^{19} \text{ cm}^{-3}$, P -base

剂量为 $5\text{e}12\text{ cm}^{-2}$, 能量为 100 KeV.

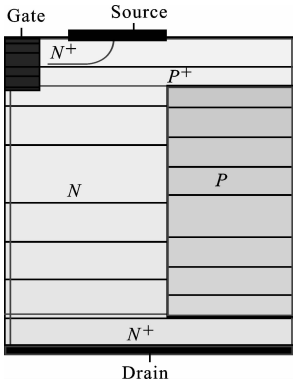


图 3 SJ-MOS 结构示意图

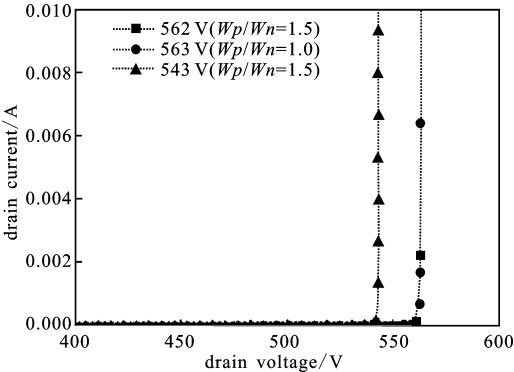


图 4 550 V 仿真击穿电压曲线

仿真电压等级为 500 V, 600 V, 700 V 三个电压等级, pillar 比为 1.5 和 1, 再加上 10% 的余量, 目标电压为 550 V, 660 V, 770 V, 由推导公式(8)、(9)、(11)、(12)、(17)得出相应的解析计算值和仿真值如表 1, 2, 3 所示, 我们认为, 当漏电流达到 1 mA 时, 即发生雪崩击穿, 所得仿真击穿电压曲线如图 4-6 所示.

表 1 550 V 分析和仿真结果

Ratio	w	k	f	N_d	E_c	Sim
$a=3, b=5$	32	0.636	0.1	5.72	3.47×10^5	543
$a=2.5, b=5$	31.5	0.742	0.12	6.13	3.52×10^5	563
$a=2, b=5$	31	0.808	0.13	6.96	3.56×10^5	562

表 2 660 V 分析和仿真结果

Ratio	w	k	f	N_d	E_c	Sim
$a=3, b=5$	38.5	0.636	0.083	5.68	3.44×10^5	626
$a=2.5, b=5$	38	0.742	0.0976	6.2	3.50×10^5	654
$a=2, b=5$	37.5	0.808	0.108	6.9	3.53×10^5	655

表 3 770 V 分析和仿真结果

Ratio	w	k	f	N_d	E_c	Sim
$a=3, b=5$	45	0.636	0.071	5.6	3.42×10^5	721
$a=2.5, b=5$	44.5	0.742	0.083	6.19	3.47×10^5	750
$a=2, b=5$	44	0.808	0.092	6.84	3.49×10^5	743

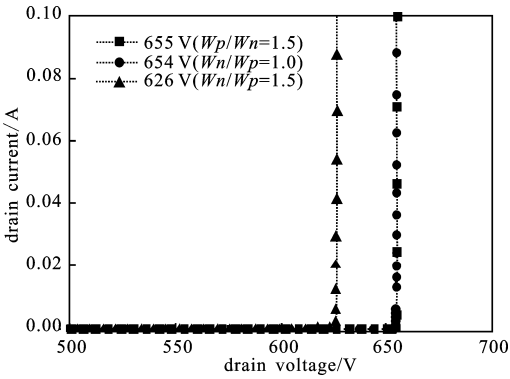


图 5 660 V 仿真击穿电压曲线

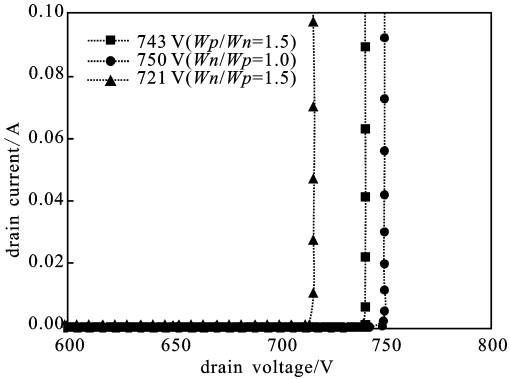


图 6 770 V 仿真击穿电压曲线

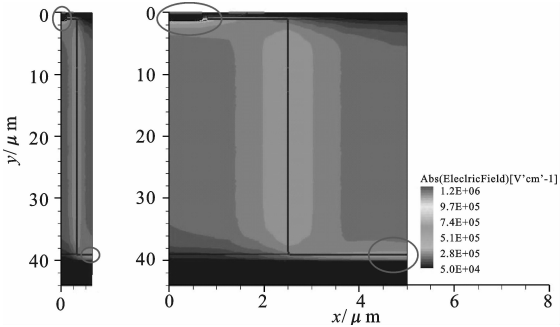


图 7 660 V 仿真结构和电场分布

图 7 为以 660V 为例仿真的结构和电场分布, 从电场分布来看, 电场最大值在圈中的位置, 和模型有较好的吻合度, 从表 1, 2, 3 和 BV 仿真曲线也可以看出, 仿真数据和理论计算值具有较好的吻合度, 说明模型和公式的准确度, 误差的来源是工艺上电荷平衡程度和 N 型衬底对 P 型区的补偿程度等一些原因使得击穿电压偏低, 尤其是当 P-pillar 的宽度较窄时, 这些原因也使得非对称尺寸偏离过大而造成较大的偏差. 有两种方法来修正这些误差, 第一个方法是同时减小 N-pillar 和 P-pillar 的掺杂浓度, 降低击穿电压对电荷不平衡的敏感度, 但是这会增加通态电阻, 第二个方法是增加 P-pillar 的掺杂

浓度,尽可能的电荷平衡.器件的击穿电压取决于 pillar 的深度,宽度和掺杂浓度,在保持 pillar 比例的情况下,在要求的耐压下,通过以上的设计公式可以优化最佳的 pillar 深度和掺杂浓度.

4 结束语

本文针对非对称 pillar 的设计需求,建立了可以适用于非对称 pillar 的 SJ 模型,并进行了理论分析,通过引入非对称的影响因子 k 并给出了 k 的表达式,得出了适用于非对称尺寸的 SJ 漂移区设计方法,之后利用仿真软件进行了模拟,仿真结果和理论计算有良好的符合度,进一步完善了 SJ 设计方法,不仅适用于 SJ-MOSFET,还适用于 SJ-IGBT 和 SJ-Diode 等,该设计方法对非对称 SJ 的设计具有指导意义.非对称尺寸的电荷平衡程度和衬底的补偿是一个比较大的影响,这方面的研究将是以后理论研究的一个优化方向.

参考文献:

- [1] Baliga B J. Fundamentals of power semiconductor devices[M]. North Carolina State University, Raleigh, NC, Springer Science 2008.
- [2] Xing Bi C, Xin W, Sin J K O. A novel high-voltage sustaining structure with buried oppositely doped regions[J]. IEEE Transactions on Electron Devices, 2000, 47(6): 1280-1285.
- [3] Tatsuhiko. Theory of semiconductor superjunction devices[J]. Japanese Journal of Applied Physics, 1997, 36(10): 6254-6262.
- [4] Strollo A G M, Napoli E. Optimal resistance versus breakdown voltage tradeoff in superjunction power devices: a novel analytical model[J]. IEEE Transactions on Electron Devices, 2001, 48(9): 2161-2167.
- [5] Huang H, Chen X. Optimization of specific on-resistance of balanced symmetric superjunction mosfets based on a better approximation of ionization integral [J]. IEEE Transactions on Electron Devices, 2012, 59(10): 2742-2747.

- [6] Fujihira T, Miyasaka Y. Simulated superior performances of semiconductor superjunction devices[C] // Power Semiconductor Devices and ICs, 1998 ISPSD 98 Proceedings of the 10th International Symposium on. Kyoto, Japan, 1998: 423-426.
- [7] Zhang W, Zhang B, Li Z, et al. Theory of superjunction with nfd and fd modes based on normalized breakdown voltage[J]. IEEE Transactions on Electron Devices, 2015, 62(12): 4114-4120.
- [8] 方健, 乔明, 李肇基. 电荷非平衡 superjunction 结构电场分布[J]. 物理学报, 2006, 53(55): 3656-3668.
- [9] Wang H, Napoli E, Udrea F. Breakdown voltage for superjunction power devices with charge imbalance: an analytical model valid for both punch through and non punch through devices[J]. IEEE Transactions on Electron Devices, 2009, 56(12): 3175-3183.
- [10] Takahashi K, Kuribayashi H, Kawashima T, et al. 660V super junction mosfets fabricated by deep trench etching and epitaxial growth[C] // 2006 IEEE International Symposium on Power Semiconductor Devices and ICs. Naples, 2006: 1-4.
- [11] Zhang B, Zhang W, Li Z, et al. Equivalent substrate model for lateral super junction device [J]. IEEE Transactions on Electron Devices, 2014, 61(2): 525-532.
- [12] Fulop W. Calculation of avalanche breakdown of Silicon P-N junctions[J]. Solid State Electronics, 1967, 10(1): 39-43.
- [13] Pravin N K. Analytical design and simulation studies of super-junction power mosfet[C] // 2007 IEEE International Symposium on Industrial Electronics. Vigo, 2007: 503-508.

作者简介:

张广银 男, (1989-), 硕士研究生. 研究方向为 SJ 器件研究.

朱阳军(通讯作者) 男, (1980-), 研究员, 硕士生导师. 研究方向为 IGBT/FRD 等电力电子器件芯片开发与产业化以及测试可靠性. E-mail: zhuyangjun@ime.ac.cn.